

Генерация топологии GaAs pHEMT-транзистора с учётом технологических ограничений в САПР AWR Design Environment

С. Н. Шайхутдинов

Санкт-Петербургский государственный электротехнический университет
«ЛЭТИ» им. В. И. Ульянова (Ленина)

shaihutdinov.nafis@mail.ru

Аннотация. В статье представлен метод для автоматической генерации топологии GaAs pHEMT-транзистора в среде САПР AWR Design Environment. Предложенный подход позволяет автоматически строить топологию транзистора при изменении ширины затвора W и количество затворов. Приведены детали построения затвора и их зависимость от ширины затвора. Обсуждается применение результатов в проектировании нейроморфных вычислительных систем.

Ключевые слова: параметрическая генерация топологии, GaAs pHEMT, AWR, технологические ограничения, DRC, нейроморфные вычисления

I. ВВЕДЕНИЕ

Проектирование СВЧ-устройств на полевых транзисторах требует многократного изменения геометрических параметров, таких как ширина затвора W и количество затворов NF . В типовом рабочем процессе инженер вынужден вручную адаптировать топологию при каждом изменении этих параметров, что трудоёмко, увеличивает риск ошибок и часто приводит к нарушению технологических правил (Design Rules Check, DRC). Даже при использовании параметрических библиотек САПР (Систем автоматизированного проектирования) поддержание актуальности топологии при смене технологического процесса или расширении диапазона параметров остаётся нетривиальной задачей, требующей значительных временных затрат.

Современные САПР, в частности AWR Design Environment, предоставляют средства для создания пользовательских библиотечных элементов.

Цель данной работы — создание метода автоматической генерации топологии GaAs pHEMT-транзистора, который позволяет перестраивать топологию при изменении ширины затвора W и количества затворов NF , учитывает технологические ограничения из внешнего DRC-файла и интегрируется в среду AWR Design Environment как библиотечный элемент.

II. ПОСТАНОВКА ЗАДАЧИ

Предлагаемый метод должен обеспечивать автоматическую генерацию топологии GaAs pHEMT-транзистора. Для генерации топологии пользователь задает ширину затвора W (40–200 мкм) и количество затворов NF (2, 4, 6, 8). Технологические ограничения заданы внешним файлом правил DRC. В результате

применения метода формируется топология транзистора в формате AWR, проходящая DRC-проверку.

ТАБЛИЦА I. ОСНОВНЫЕ ТРЕБОВАНИЯ К СИСТЕМЕ

Категория	Требование
Функциональные	Автоматическая перестройка топологии при изменении W или NF ; $W = 40 \dots 200$ мкм, $NF = 2, 4, 6, 8$; экспорт в GDSII
Геометрические	Масштабирование элементов пропорционально W ; адаптация мостов второго слоя металлизации (1, 2 или 3 моста в зависимости от W); шаг между затворами 38 мкм
Технологические	DRC-проверка внутренним инструментом верификации AWR Design Environment минимальных ширин, зазоров, перекрытий, окружений, запрета замкнутых контуров
Программные	Реализация в виде библиотечного элемента AWR Design Environment с использованием языка программирования C++

III. ПРЕДЛОЖЕННЫЙ МЕТОД

Разработанный метод автоматической генерации топологии базируется на параметрическом подходе, при котором все геометрические размеры и взаимное расположение слоёв выражаются через два входных параметра: ширину затвора W и количество затворов NF . Такой подход позволяет автоматизировать обновление топологии при изменении параметров, исключая необходимость повторного вмешательства в геометрию, и гарантирует воспроизводимость результатов.

Общая схема метода включает три последовательных этапа. На первом этапе система считывает значения W и NF , заданные пользователем, и проверяет их на допустимость (W в диапазоне 40–200 мкм, NF равно 2, 4, 6 или 8). На втором этапе на основе этих значений вычисляются все геометрические параметры топологии: ширина омических контактов, размеры резистивного слоя, положение и количество мостов металлизации, координаты контактных окон. На третьем этапе сформированные примитивы передаются в ядро САПР AWR Design Environment для отрисовки на соответствующих слоях.

Ширина омических контактов и резистивного слоя изменяется линейно в зависимости от ширины затвора. Для омического контакта ширина определяется выражением (1):

$$W_{ohmic} = W + C_{ohmic} \quad (1)$$

где Δ_{ohmic} – фиксированное смещение, обеспечивающее сохранение технологических зазоров. Аналогично для резистивного слоя из (2):

$$W_{mesa} = W + C_{mesa} \quad (2)$$

Постоянство зазора между омическим контактом и резистивным слоем обеспечивается разностью $C_{mesa} - C_{ohmic} = const$, что следует из (1) и (2). Такое линейное масштабирование гарантирует, что при любом значении W из заданного диапазона все технологические зазоры между слоями остаются неизменными, что критически важно для прохождения DRC-проверки.

Ключевая особенность метода — адаптация топологии в зависимости от ширины затвора. Как показал анализ физических процессов в транзисторе, при увеличении ширины затвора возрастает ток, протекающий через структуру. Для равномерного распределения этого тока по всей ширине кристалла необходимо добавлять дополнительные соединительные мосты из второго слоя металлизации, которые служат токоподводящими линиями. Анализ распределения тока по ширине транзистора показал необходимость изменения количества соединительных мостов из второго слоя металлизации при переходе через пороговые значения W . В результате выделены три режима, представленные в табл. 2.

ТАБЛИЦА II. АДАПТАЦИЯ КОНФИГУРАЦИИ МОСТОВ ВТОРОГО СЛОЯ МЕТАЛЛИЗАЦИИ В ЗАВИСИМОСТИ ОТ ШИРИНЫ ЗАТВОРА W

Диапазон W	Конфигурация мостов второго слоя металлизации
$W < 61$ мкм	Один центральный мост
$61 \leq W < 120$ мкм	Два моста (левый и правый)
$W \geq 120$ мкм	Три моста (левый, центральный, правый)

a — пороговые значения 61 и 120 мкм определены эмпирически на основе моделирования распределения тока; для других технологических процессов могут быть скорректированы.

Для каждого режима координаты мостов определяются как функции от W , что обеспечивает плавную адаптацию. Например, для режима с двумя мостами левый мост располагается в фиксированном интервале, а правый — в интервале, сдвигающемся пропорционально увеличению ширины затвора. Такое расположение обеспечивает симметричную структуру и минимальное падение напряжения на токоподводящих линиях. Как видно из табл. 2, при малых W достаточно одного моста, при средних значениях добавляется второй, а при больших — третий, что обеспечивает равномерное распределение тока по ширине транзистора. Для режима с двумя мостами координата правого моста определяется выражением (3):

$$X_{right}(W) = W + C_{right} \quad (3)$$

где Δ_{right} — фиксированное смещение. Для режима с тремя мостами координата центрального моста вычисляется как среднее арифметическое между левым и правым, как показано в (4):

$$X_{center} = (X_{left} + X_{right}(W)) / 2 \quad (4)$$

Геометрия затвора также адаптируется к изменению W . Затвор состоит из контактных площадок (левой и правой), опорных контактов и соединительных проводников. Контактные площадки имеют

фиксированную геометрию, не зависящую от W , поскольку они служат только для формирования электрического соединения. Соединительные проводники, связывающие контактные площадки с опорными контактами, изменяют свою длину пропорционально ширине затвора. При количестве $NF > 2$ затворы располагаются с постоянным шагом. Координата i -го затвор вычисляется по формуле (5):

$$Y_{finger}(i) = i + Y_{pitch}, \quad i = 0, 1, \dots, NF / 2 - 1 \quad (5)$$

где $Y_{pitch} = 38$ мкм — фиксированное расстояние между соседними затворами, обеспечивающее равномерное распределение тепла и тока. Как видно из (5), количество затворов определяет число итераций цикла генерации. При увеличении NF структура транзистора расширяется по вертикали, сохраняя при этом все горизонтальные размеры неизменными.

Длина соединительного проводника затвора зависит от ширины затвора в соответствии с (6):

$$L_{connector}(W) = W + C_{connector} \quad (6)$$

где $\Delta_{connector}$ — фиксированное смещение. Контактные площадки имеют постоянные размеры, не зависящие от W , что отличает их от проводников, следующих за формулой (6). Такое решение позволяет сохранить форму контактных узлов неизменной, что важно для стабильности электрического контакта, при этом обеспечивая масштабирование активной области транзистора.

Омические контакты и резистивный слой масштабируются линейно, как было показано в (1) и (2). Такое масштабирование обеспечивает сохранение зазоров между слоями в соответствии с технологическими требованиями. В частности, зазор между омическим контактом и резистивным слоем сохраняется постоянным во всём диапазоне W .

Технологические ограничения не встроены в алгоритм генерации, а применяются на этапе верификации. Такой подход имеет два преимущества. Во-первых, код генерации не привязывается к конкретному технологическому процессу — достаточно заменить файл DRC. Во-вторых, при изменении технологических норм не требуется перекомпиляция программного модуля. Пользователь запускает штатную DRC-проверку AWR, которая сравнивает сгенерированную топологию с правилами и выдаёт отчёт об ошибках. В разработанной системе все сгенерированные варианты успешно проходят эту проверку.

Таким образом, предложенный метод сочетает гибкость параметрического описания с учётом реальных технологических ограничений. Все перечисленные зависимости от (1) до (6) реализованы в программном коде и обеспечивают плавную адаптацию топологии при изменении параметров. Метод позволяет получать корректную топологию для любого значения W из заданного диапазона без ручного вмешательства.

IV. РЕЗУЛЬТАТЫ

Предложенный метод реализован в виде программного модуля, интегрированного в САПР AWR Design Environment. Он позволяет генерировать

топологию транзистора для любых значений ширины затвора из диапазона 40–200 мкм и для количества затворов 2, 4, 6 или 8.

Верификация проводилась для всего диапазона ширины затвора от 40 до 200 мкм с шагом 20 мкм, а также для всех значений количества затворов от 2 до 8. Во всех случаях:

- топология строится за время менее одной секунды;
- все элементы имеют корректные геометрические связи (отсутствуют разрывы, короткие замыкания и артефакты);
- DRC-проверка не выявляет нарушений технологических ограничений.

На рис. 1–4 показаны примеры сгенерированных топологий для характерных точек диапазона. На рисунке 1 ($W = 40$ мкм, $NF = 2$) представлена минимальная конфигурация с двумя затворами и одним центральным мостом второго слоя металлизации; структура наиболее компактная, омические контакты и резистивный слой имеют минимальные размеры. Рис. 2 ($W = 80$ мкм, $NF = 4$) демонстрирует переход к двум мостам второго слоя металлизации (левый и правый), линейное увеличение ширины активной области и вертикальное расширение структуры за счёт четырёх затворов. На рис. 3 ($W = 150$ мкм, $NF = 6$) показана конфигурация с тремя мостами (левый, центральный и правый), необходимая для равномерного распределения тока при значительном увеличении ширины затвора; хорошо видно пропорциональное масштабирование всех горизонтальных элементов и шесть затворов, расположенных с шагом 38 мкм. Наконец, рис. 4 ($W = 200$ мкм, $NF = 8$) иллюстрирует максимальную конфигурацию в исследуемом диапазоне — восемь затворов и три моста второго слоя металлизации при полностью масштабированной активной области, демонстрируя возможности метода для мощных СВЧ-транзисторов.

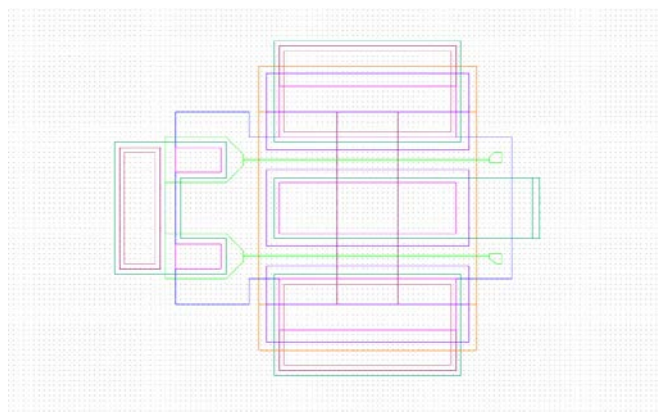


Рис. 1. Топология транзистора при ширине затвора 40 мкм, количество затворов 2

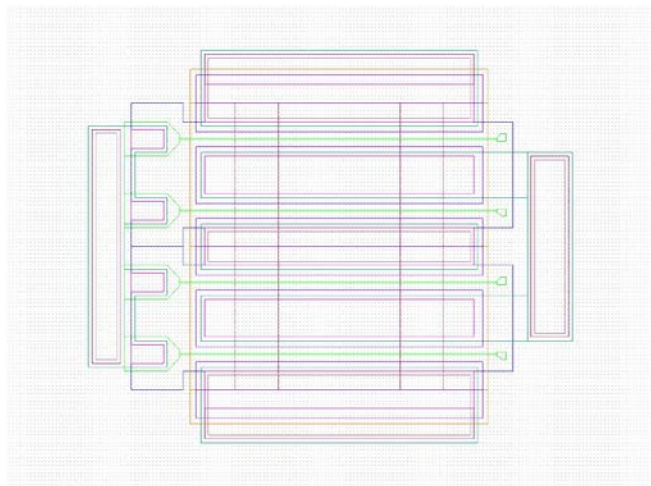


Рис. 2. Топология транзистора при ширине затвора 80 мкм, количество затворов 4

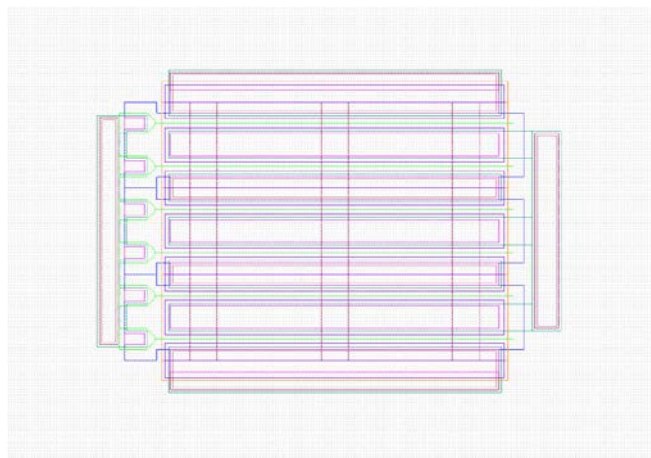


Рис. 3. Топология транзистора при ширине затвора 150 мкм, количество затворов 6

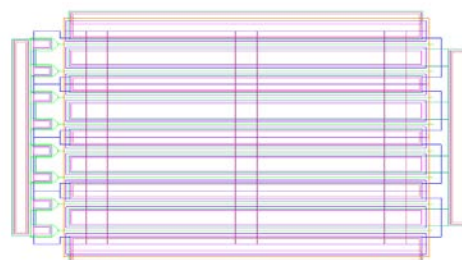


Рис. 4. Топология транзистора при ширине затвора 200 мкм, количество затворов 8

Во всех представленных конфигурациях топология соответствует заявленным.

V. ВЕРИФИКАЦИЯ

Для подтверждения работоспособности разработанного метода и корректности сгенерированных топологий была проведена верификация по двум направлениям: визуальный контроль и автоматическая DRC-проверка. Такой подход позволяет оценить качество топологии и соблюдение технологических ограничений.

Сгенерированные топологии были проверены визуально. Целью контроля являлось выявление очевидных дефектов: разрывов металлизации, наличия лишних примитивов или некорректных соединений. Всего было проверено 36 комбинаций параметров. Во всех случаях визуальных дефектов не обнаружено. Форма слоёв соответствует ожидаемой, соединения выполнены корректно.

Для каждой сгенерированной топологии запускалась штатная функция проверки технологических ограничений, доступная в САПР AWR. Эта функция анализирует топологию на соответствие правилам проектирования, которые задаются внешним файлом. Проверка охватывает критические параметры: минимальные ширины слоёв, минимальные зазоры между слоями, требуемые перекрытия, окружения, отсутствие замкнутых контуров и минимальные площади контактов. Все 36 вариантов топологии успешно прошли DRC-проверку. Сообщения об ошибках отсутствуют, что подтверждает технологическую корректность сгенерированных структур.

Для каждого набора параметров генерация запускалась трижды. Во всех случаях топологии получались идентичными, что подтверждает детерминированность предложенного метода и отсутствие случайных факторов в процессе генерации.

VI. ПРИМЕНЕНИЕ В НЕЙРОМОРФНЫХ ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМАХ

Нейроморфные вычисления представляют собой подход к построению искусственных нейронных сетей, при котором аппаратная архитектура имитирует структуру и принципы работы биологических нейронных систем. В отличие от классических вычислений на архитектуре фон Неймана, нейроморфные системы обрабатывают информацию параллельно, с низким энергопотреблением и высокой эффективностью для задач распознавания образов, обучения и сенсорной обработки.

Ключевые требования к элементной базе нейроморфных систем включают высокую плотность интеграции, низкое энергопотребление, высокое быстродействие и возможность программирования синаптических весов. Традиционные КМОП-технологии, доминирующие в цифровой электронике, не всегда оптимальны для этих задач, особенно когда требуется работа в СВЧ-диапазоне или с очень низкими уровнями шума.

GaAs pHEMT-транзисторы обладают рядом преимуществ, делающих их перспективной основой для нейроморфных систем. Во-первых, высокая подвижность электронов в арсениде галлия обеспечивает высокое быстродействие — до десятков гигагерц. Во-вторых, эти транзисторы характеризуются низким уровнем собственного шума, что важно для сенсорных нейроморфных интерфейсов. В-третьих, технология GaAs позволяет интегрировать на одном кристалле не только транзисторы, но и другие компоненты: резисторы, конденсаторы, индуктивности.

В нейроморфных системах GaAs pHEMT-транзисторы могут выполнять несколько функций. Как синаптические элементы с программируемой проводимостью, они позволяют изменять вес связи

между нейронами путём вариации ширины затвора. Как нейроны с высокой частотой срабатывания, они могут обрабатывать импульсные сигналы с частотами до десятков гигагерц, что на несколько порядков выше возможностей биологических нейронов. Как интерфейсные схемы, они обеспечивают связь между нейроморфным ядром и внешней средой, например, для приёма сигналов от СВЧ-сенсоров.

Разработанное в данной работе средство автоматической генерации топологии может быть использовано для ускорения проектирования таких систем. Для нейроморфного процессора с заданной частотой работы требуется подобрать транзистор с определёнными электрическими характеристиками: крутизной, ёмкостью затвора, максимальным током стока. Эти характеристики напрямую зависят от геометрических параметров — ширины затвора и количества затворов. С помощью предложенного метода инженер может быстро сгенерировать набор топологий для различных W и NF , провести электрическое моделирование и выбрать оптимальный вариант.

Существующие библиотечные элементы для САПР AWR, как правило, ограничены фиксированным набором дискретных значений ширины затвора, например 50, 100, 150 мкм. Это не позволяет инженеру точно настраивать характеристики под требования конкретной задачи. Предлагаемый метод поддерживает непрерывное изменение W в диапазоне 40–200 мкм, что даёт полную свободу выбора и возможность точной оптимизации.

В перспективе планируется интеграция разработанного метода с электрическими симуляторами для автоматизации полного цикла проектирования — от задания электрических характеристик до получения готовой топологии. Пользователь задаёт требуемые электрические характеристики (крутизна, ёмкость, частотные свойства), система автоматически подбирает оптимальные W и NF , генерирует топологию, проверяет её на соответствие DRC. Это позволит ещё больше сократить время проектирования нейроморфных систем и снизить порог входа для разработчиков.

Таким образом, предложенный метод автоматической генерации топологии GaAs pHEMT-транзисторов является важным инструментом для создания элементной базы нейроморфных вычислительных систем следующего поколения.

VII. ЗАКЛЮЧЕНИЕ

В данной работе был предложен и реализован метод автоматической генерации топологии GaAs pHEMT-транзистора, интегрированный в среду САПР AWR Design Environment. Актуальность работы обусловлена необходимостью сокращения времени проектирования СВЧ-устройств и повышения надёжности топологических решений за счёт автоматизации процесса генерации топологии.

Основным результатом работы является программное средство, которое по заданным пользователем значениям ширины затвора и количества затворов автоматически строит полную топологию транзистора, включая все необходимые технологические слои: затвор, омические контакты, резистивный слой, межслойные переходы и металлизацию. Генерация занимает менее одной

секунды, что делает возможным оперативный перебор вариантов при поиске оптимальной конфигурации.

Ключевой научно-технической особенностью предложенного метода является адаптация топологии в зависимости от ширины затвора. Анализ распределения тока показал, что при малых значениях ширины достаточно одного соединительного моста металлизации, при средних значениях требуются два моста, а при больших — три моста. Пороговые значения были определены эмпирически на основе моделирования и могут быть скорректированы для других технологических процессов. Такая адаптация обеспечивает равномерное распределение тока по ширине транзистора и предотвращает локальный перегрев.

Важной особенностью реализации является разделение процесса генерации топологии и проверки технологических ограничений. Геометрические параметры вычисляются по формулам, обеспечивающим масштабирование всех элементов пропорционально ширине затвора с сохранением постоянных зазоров и перекрытий. Сами же технологические ограничения не встроены в код генерации, а применяются на этапе верификации с помощью штатных средств САПР. Это позволяет использовать разработанное средство с различными технологическими процессами — достаточно заменить файл правил DRC.

Верификация проведена для 36 комбинаций параметров. Визуальный контроль не выявил дефектов топологии: разрывов, лишних примитивов или некорректных соединений между слоями. DRC-проверка подтвердила соответствие всех сгенерированных вариантов технологическим ограничениям. Проверка воспроизводимости показала, что при многократных запусках для одних и тех же параметров получаются идентичные топологии, что подтверждает детерминированность метода.

Обоснована применимость разработанного средства для проектирования нейроморфных вычислительных систем. GaAs рНЕМТ-транзисторы благодаря высокому быстродействию, низкому уровню шума и возможности интеграции являются перспективной элементной базой для нейроморфных процессоров. Предложенный метод позволяет быстро создавать библиотеки транзисторных ячеек с непрерывным диапазоном ширины затвора, что

даёт инженерам свободу точной настройки характеристик под требования конкретных задач, в отличие от существующих PDK-библиотек с фиксированными дискретными значениями.

Дальнейшие направления развития работы включают расширение метода на другой тип транзистора, такой как GaN рНЕМТ, который имеет свои технологические особенности и требует адаптации правил генерации. Также планируется поддержка большего количества затворов (более 8) для высокомошных приложений. Ещё одним перспективным направлением является интеграция разработанного метода с электрическими симуляторами для автоматизации полного цикла проектирования: пользователь задает требуемые электрические характеристики, система автоматически подбирает оптимальные геометрические параметры, генерирует топологию и проверяет её на соответствие DRC. Это позволит сократить время проектирования СВЧ-устройств и нейроморфных систем с дней до минут.

БЛАГОДАРНОСТИ

Автор Шайхутдинов Станислав Нафисович выражает благодарность Санкт-Петербургскому государственному электротехническому университету «ЛЭТИ» за предоставленную техническую базу и программное обеспечение, использованные при проведении исследований.

Выражаю благодарность своему научному руководителю Бобровой Юлии Олеговне за ценные советы при планировании исследования и рекомендации по оформлению статьи.

СПИСОК ЛИТЕРАТУРЫ

- [1] Cadence Design Systems. AWRDE User Manual, 2023.
- [2] Cadence Design Systems. AWR SDK v14 Documentation: Custom Element Development Guide, 2022.
- [3] C. Mead, "Neuromorphic Electronic Systems," Proceedings of the IEEE, vol. 78, no. 10, pp. 1629–1636, Oct. 1990.
- [4] G. Indiveri and S. C. Liu, "Memory and Information Processing in Neuromorphic Systems," Proceedings of the IEEE, vol. 103, no. 8, pp. 1379–1397, Aug. 2015.
- [5] V. Sze, Y. H. Chen, T. J. Yang, and J. S. Emer, "Efficient Processing of Deep Neural Networks: A Tutorial and Survey," Proceedings of the IEEE, vol. 105, no. 12, pp. 2295–2329, Dec. 2017.
- [6] A. B. Grebene, Bipolar and MOS Analog Integrated Circuit Design. New York, John Wiley & Sons, 2003.